

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-142844

(43)Date of publication of application : 05.06.1989

(51)Int.Cl.

G06F 12/08

(21)Application number : 62-299923

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.11.1987

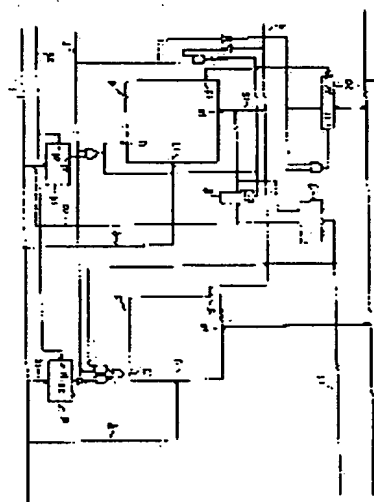
(72)Inventor : KONDO KATSUHISA

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To make it possible to use memories also as cache memories and normal memories by providing the title circuit with a means for accessing the memories as the cache memories.

CONSTITUTION: The memories 3, 4 are constituted as direct map type cache memories, circuits 18, 19 for decoding the most significant bit or plural bits of an address signal to indicate the access of a specific area in an address space are added and a tag storage part 4 is connected to a data bus 2 through a signal line with a bidirectional tri-state buffer 20. In case of accessing as normal memories, a signal line 25 is turned to '1', and in case of accessing as cache memories, a signal line 5 is turned to '1'. Thus, the memories 3, 4 can be used also as the cache memories or normal memories.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-142844

⑮ Int. Cl.

G 06 F 12/08

識別記号

3 1 0

庁内整理番号

Z-7010-5B

⑬ 公開 平成1年(1989)6月5日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 半導体集積回路

⑯ 特 願 昭62-299923

⑰ 出 願 昭62(1987)11月30日

⑱ 発 明 者 近 藤 勝 久 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

(1) メモリを内蔵した半導体集積回路に対し、前記メモリをキャッシュメモリとしてアクセスする手段を有することを特徴とする半導体集積回路。

(2) 前記メモリはダイレクトマップ方式のキャッシュメモリとして構成され且つ、アドレス信号を上位1または複数bitをデコードしアドレス空間のある特定の領域がアクセスされた事を示す回路を具備し且つ、前記キャッシュメモリのタグ格納部を構成するメモリのデータ入出力端子とデータバスとの間が双方向のトライステートバッファを設けた信号線で結合されていることを特徴とする半導体集積回路。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は、メモリを内蔵する半導体集積回

路に関する。とくにキャッシュメモリまたは、ローカルメモリを内蔵する半導体集積回路に関する。
(従来の技術)

近年、半導体デバイスおよびプロセス技術の進展により、マイクロプロセッサのトランジスタ集積度は、年 1.35 倍のペースで増大してきたと言われている。現在では、数十万個のトランジスタを集積したマイクロプロセッサが出現している。

この高集積技術により、キャッシュメモリを内蔵したマイクロプロセッサ、通常のメモリを内蔵したマイクロプロセッサ等が商品化されている。通常のメモリを内蔵したマイクロプロセッサは、ワンチップマイコンとも呼ばれ、家電製品、自動車を始めとする各種機器のコントローラとして幅広く応用されている。

キャッシュメモリを内蔵することの利点は、メモリアクセスタイムの実質的な短縮である。近年のデバイス技術の進展により個々のトランジスタの動作速度は、極めて速くなっている。そのため動作速度が 20 MHz を超えるマイクロプロセッサ

も登場してきた。このパイプライン技術により一つの命令を実行するためにかかるクロック数は極めて少なくなっている。しかし、一つの命令を実行するために必要な命令コード、オペランドすなわち、メモリとマイクロプロセッサ間のデータ転送量は、変わっていない。むしろ、命令コードが長くなったために増加さえしている。したがって、プログラムを実行するために必要なデータを転送するために使えるクロック数は、少なくなっており、さらにそのクロック周期も短縮しつつある。そのためメモリアクセスに許される時間は極めて少なくなっている。従来このことに対して命令プリフェッチ機構を付けてバスを効率的に利用する。または、バス幅を拡張して一回のメモリアクセスで転送できる量を増やすといった対応が成されてきた。しかし、バスの効率的利用という対応では、限界に近づきつつあり、また、バス幅の拡張は、システム全体のコスト増加、チップのピン数の制限といった問題が生じる。このようにこの問題は、マイクロプロセッサの性能

向上を阻む大きな要因となってきた。

この問題を解決するためにはメモリアクセスタイムが短縮すればいいのだが、実際のメモリ回路を構成するには、メモリの他に各種周辺回路を付加する必要がある。それらの周辺回路による遅れ時間とボード上を信号が伝達するために必要な時間の短縮はたいして望めない。

したがって、メモリとマイクロプロセッサを同一のチップ上に組み込むことができれば、メモリアクセス時間を短縮することができる。実際、小規模のプログラムを走らせるような応用では、通常のメモリをマイクロプロセッサと同一チップに組込んだワンチップマイコンが用いられている。しかし、大量のデータを扱う応用では、現在の高集積化技術を持ってしても必要なメモリをすべて組み込むことはできない。

そこで、メモリアクセスタイムを実質的に短縮するために、キャッシュメモリのオンチップ化が行なわれつつある。

第2図に従来のキャッシュメモリの一例として、

1M BYTE のメモリ空間を持つシステムに4K byte のダイレクトマップ方式のキャッシュメモリを実現するときの回路例を示す。データバスは、8 bit としている。ダイレクトマップ方式なので、キャッシュメモリは、アドレスの下位12 bit でアクセスすることになる。また、タグ部には、アドレスの上位8 bit が入力される。

この回路の動作を説明する。図中1はアドレスバスであり、アドレス空間は1M BYTE であるので、20本の信号線群で構成されている。2は、データバスであり、8本の信号線群で構成されている。

3、4は、それぞれキャッシュメモリのデータ格納部とタグ格納部であり、メモリセレクト12に入力される信号が“1”のとき動作状態になる。動作状態のとき、リード/ライト制御端子15に入力される信号が“1”のとき読み出しが、“0”のとき書き込みが、アドレス端子13の信号で選ばれたアドレスに対して行われる。データの入出力は、データ端子14を用いて行う。

トライステートバッファ8は、ゲートイネーブル端子17が“1”のとき信号線群10からの入力信号を信号線群16にそのまま出力し、“0”のときはハイインピーダンスを出力する。

比較回路7は、信号線群10と信号線群16の2組の8 bit データを比較し、一致すれば出力を“1”に、不一致であれば出力を“0”にする。

キャッシュメモリをリードするときは、キャッシュアクセス信号5を“1”にすると共にリード/ライト制御信号6を“1”にして、タグ格納部4のメモリを読み出し状態とする。このとき、トライステートバッファ8はoffの状態となり、出力はハイインピーダンスとなる。タグ部格納部のメモリ4は、読みだし状態であるので、アドレスバス下位12 bit の信号9をデコードし格納しているタグ部を出力する。この出力データは、アドレス上位8 bit の信号10と比較回路7で比較される。もし2つの信号が一致すればキャッシュヒット検出信号11は“1”となる。するとデータ格納部のメモリ3は読み出し状態となり、対応

するデータをデータバス2に出力する。2つの信号が一致しないときは、キャッシュヒット検出信号11は、“0”のままであり、他の回路にキャッシュミスが発生したことを知らせ、データ格納部3は、データ出力をしない。

キャッシュミスが発生すると外部メモリをアクセスしたデータをキャッシュメモリに蓄込む。キャッシュメモリにライトするときは、キャッシュアクセス5を“1”にすると共にリード/ライト制御信号6を“0”にして、タグ格納部4のメモリを書き込み状態とする。このとき、トライステートバッファ8はバッファとなり、信号線群10のデータと信号線群16のデータは同一のものとなり回路7の出力は“1”となる。信号5は“1”であるので、データ格納部3は、メモリセレクト12に“1”が入力され、書き込み状態となる。したがって、データ格納部にはデータバス上のデータが、タグ格納部には、アドレス上位8bitのデータが、蓄込まれることになる。

(発明が解決しようとする問題点)

メモリをダイレクトマップ方式のキャッシュメモリとして構成するとともにアドレス信号の上位1または複数bitをデコードしアドレス空間のある特定の領域がアクセスされたことを示す回路を付加し、タグ格納部とデータバスの間を双方向のトライステートバッファを設けた信号線で結合する。また、該回路がアクセスされたことを示す信号線を2本用意し、通常のメモリとしてアクセスするときは、該信号線のうちの1本を、キャッシュメモリとしてアクセスするときには、他の1本を“1”にする。本発明は、このような半導体集積回路を提供する事により問題点の解決を図った。

(作用)

本発明による半導体集積回路は、キャッシュメモリとしてアクセスすることも通常のメモリとしてアクセスすることが可能である。キャッシュメモリの方式は、ダイレクトマップ方式を採用しているので、比較回路は、一つだけで良い。他の方式では、比較回路は複数個必要とする。比較回路は、通常のメモリとして使用する場合は、不必要

マイクロプロセッサとともに、キャッシュメモリを集積するほうが良いか、通常のメモリを集積したほうが良いかは応用分野によって決まる。すなわち、使用するプログラムの規模が小さい応用分野にたいしては通常のメモリを集積した製品を提供し、使用するプログラムの規模が大きい応用分野にたいしてはキャッシュメモリを集積した製品を提供することが好ましい。

しかし、大量生産によるメリットを追及するためには、応用ごとに製品を作ることは好ましくない。また、応用分野によっては、必要なメモリをすべて集積できるかどうか決めかねるものもある。本発明は、このような状況に対応するために、キャッシュメモリとしても、通常のメモリとしても扱える半導体集積回路を提供することを目的とする。また、どちらのメモリとして使用する場合にも不要な回路が少なくなるように実現することも目的とする。

[発明の構成]

(問題点を解決するための手段)

なものである。従って、本発明による半導体集積回路は他の方式とくらべ、通常のメモリとして使用する場合での不要な回路が少ないといえる。

ダイレクトマップ方式のキャッシュメモリを通常のメモリとして使用する為には、以下の機能を付け加える必要がある。

(1) キャッシュメモリとしてアクセスされているのか、通常のメモリとしてアクセスされているのかを示す機能。

(2) 通常のメモリとしてアクセスされた場合、タグ格納部とデータバスとのリード/ライトを行う機能。

(3) 通常のメモリとしてアクセスされた場合、アドレス空間のある特定の領域がアクセスされた時にのみ動作状態になる機能。

(1)の機能は、前述したように、2本の信号を用意し、通常のメモリとしてアクセスするときは、該信号線のうちの1本を、キャッシュメモリとしてアクセスするときには、他の1本を“1”にすることにより実現できる。

(2) の機能は、タグ格納部とデータバスを双方向トライステートバッファを設けた信号線群で結合することにより得られる。この様にするにより、キャッシュメモリとして使用する時には、データバス上の信号に影響されることなく、タグ格納部をアクセスでき、通常のメモリとして使用する時には、データバスとの間でリード/ライトを行う事ができる。

(3) の機能は、前述したデコード回路を付加することにより、容易に実現できる。

(実施例)

第1図は、本発明の実施例を示す図である。この回路は、キャッシュメモリとしてリード/ライトすることも通常のメモリとしてリード/ライトすることもできる。

まず最初に、付加した回路の動作を説明する。

上位アドレスデコーダ18、19は、アドレスバスの上位8 bitをデコードすることにより、メモリ空間のある特定の領域が、アクセスされたかどうかを検出する。このデコーダは、イネーブル

号6を“1”にして、タグ格納部4のメモリを読み出し状態とする。このとき、トライステートバッファ8はoffの状態となり出力はハイインピーダンスとなる。タグ格納部のメモリ4は、読み出し状態であるので、アドレスバス下位12 bitの信号9をデコードし格納しているタグを出力する。双方トライステートバッファ20もoffの状態となっているので、上記出力データはデータ2には、出力されない。この出力データは、アドレス上位8 bitの信号10と比較回路7で比較される。もし2つの信号が一致すればキャッシュヒット検出信号11は“1”となる。するとデータ格納部のメモリ3は読み出し状態となり対応するデータをデータバス2に出力する。2つの信号が一致しないときは、キャッシュヒット検出信号11は“0”のままであり、データ格納部3は、データ出力をせず、他の回路にキャッシュミスが発生したことを知らせる。

○ キャッシュメモリとしてライトする場合

信号5を“1”にすると共にリード/ライト制

端子24に“1”の信号が入力されているときにのみ動作する。出力端子23は、デコーダが動作状態にあり、アドレス空間のある特定の領域がアクセスされた場合にのみ“1”となる。

双方向トライステートバッファ20は、ゲートイネーブル端子21に“1”が入力されている時のみ、バッファとして働く。方向は、方向指定端子22に“1”が入力されているときデータバス2の方向へのバッファとして、“0”が入力されているときメモリ4の方向へのバッファとして働く。

キャッシュメモリ・アクセス信号5と通常のメモリアクセス信号25は、通常は、共に“0”であり、キャッシュメモリとしてアクセスする時は信号5を、通常のメモリとしてアクセスする時は信号25を、“1”にすることにより行なう。以下に、この回路の動作を説明する。

○ キャッシュメモリとしてリードする場合

キャッシュメモリとしてリードするときは、信号5を“1”にすると共にリード/ライト制御信

御信号6を“0”にして、タグ格納部4のメモリ書き込み状態とする。このとき、双方向トライステートバッファ20はoffの状態となり、トライステートバッファ8はバッファとなっているので、信号線群10のデータと信号線群16のデータは同一のものとなり回路7の出力は“1”となる。信号5は“1”であるので、データ3は、メモリセレクト端子12に“1”が入力され、書き込み状態となる。したがって、データ格納部とタグ格納部に書き込みが行なわれることになる。

○ 通常のメモリとしてリードする場合

信号25を“1”、リード/ライト制御信号6を“1”にし、リードする番地をアドレスバス1に出力する。

上位アドレスデコーダ19によりメモリ4がアクセスされたことがわかると、デコーダ19の出力端子23が“1”となり、メモリ4は、読み出し状態となる。トライステートバッファ8はoffの状態、双方向トライステートバッファ20は、データバス2の方向へのバッファとなり、

メモリ4のデータバス2に出力される。

上位アドレスデコーダ18によりメモリ3がアクセスされたことがわかると、デコーダ18の出力端子が“1”となり、メモリ3は、読み出し状態となり、メモリ3のデータは、データバス2に出力される。

○ 通常のメモリとしてライトする場合

信号25を“1”、リード/ライト制御信号6を“0”にし、ライトする番地をアドレスバス1に出力する。

上位アドレスデコーダ19によりメモリ4がアクセスされたことがわかると、デコーダ19の出力端子が“1”となり、メモリ4は、書き込み状態となる。トライステータバッファ8はoffの状態、双方向トライステータバッファ20は、メモリ4の方向へのバッファとなり、データバス2のデータは、メモリ4へ入力される。

上位アドレスデコーダ18によりメモリ3がアクセスされたことがわかると、デコーダ18の出力端子が“1”となり、メモリ3は、書き込み

状態となり、データバス2のデータは、メモリ3に入力される。

〔発明の効果〕

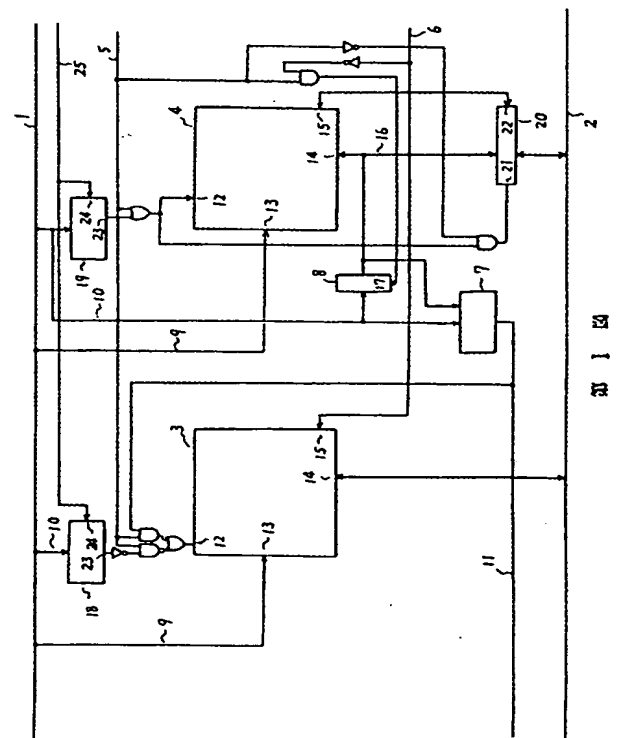
上述したように、本発明を実施することにより、キャッシュメモリとしても通常のメモリとしても使用できる回路を実現できる。

4. 図面の簡単な説明

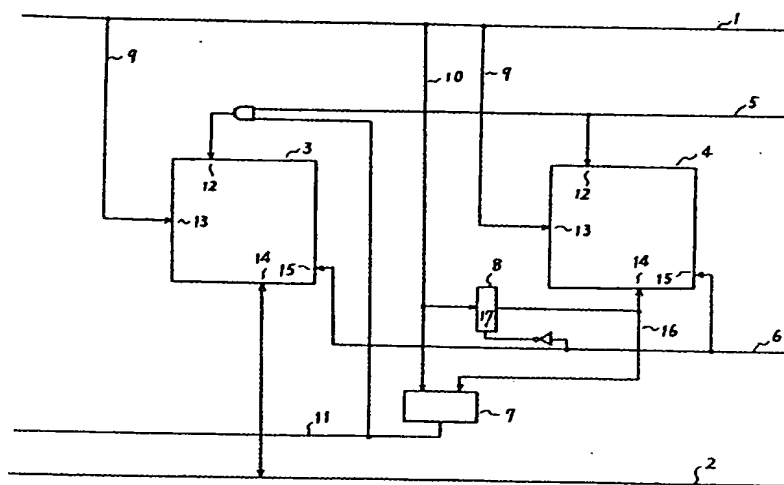
第1図は本発明に従う内蔵メモリの回路図、第2図は従来の内蔵キャッシュメモリの回路図である。

- 1…アドレスバス (20 bit幅)
- 2…データバス (8 bit幅)
- 3…メモリ (4k byte)
- 4…メモリ (4k byte)
- 5…キャッシュメモリ・アクセス信号
- 6…リード/ライト制御信号
- 7…比較回路
- 8…トライステータ・バッファ (8 bit幅)
- 9…下位アドレス (12 bit幅)
- 10…上位アドレス (8 bit幅)

- 11…キャッシュ・ヒット検出信号
- 12…メモリセレクト端子
- 13…アドレス端子
- 14…データ端子
- 15…リード/ライト制御端子
- 16…データ信号線
- 17…ゲートイネーブル端子
- 18…上位アドレス (8 bit) デコーダ
- 19…上位アドレス (8 bit) デコーダ
- 20…双方向トライステータバッファ (8 bit幅)
- 21…ゲートイネーブル端子
- 22…方向指定端子
- 23…出力端子
- 24…デコーダイネーブル端子
- 25…通常のメモリアクセス信号



代理人弁護士 則 近 憲 佑
同 松 山 允 之



第 2 図